

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-85680

(P2001-85680A)

(43)公開日 平成13年3月30日(2001.3.30)

(51)Int.Cl.

H 0 1 L 29/78
21/318

識別記号

F I

H 0 1 L 29/78
21/318

テマート(参考)

3 0 1 G 5 F 0 4 0
A 5 F 0 5 8

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21)出願番号

特願平11-256412

(22)出願日

平成11年9月9日(1999.9.9)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 木本 賢治

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 岩田 浩

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100078282

弁理士 山本 秀策

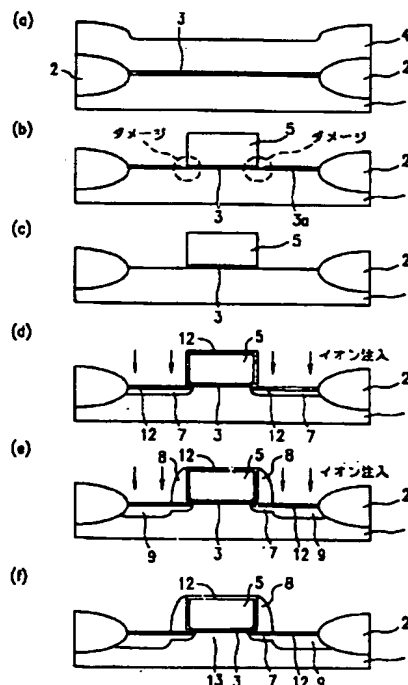
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ゲート電極中の不純物がゲート絶縁膜を突き抜けてチャネル領域に拡散するのを抑制し、ソース・ドレイン領域の不純物イオンが部分的にチャネル領域方向に異常拡散するのを防ぐ。

【解決手段】 ゲート絶縁膜3上に、ポリシリコン膜4を被着してゲート電極5パターンにパターンニングした後、ソース・ドレイン領域9を形成する前に、窒素を含む雰囲気中で窒化処理を行って、ゲート電極5端部付近のゲート絶縁膜3中に新たに窒素を導入する。または、ゲート電極5のパターンニング後、ソース・ドレイン領域9を形成する前に、酸化処理を行うことによってゲート電極5のパターンニングの際に生じるダメージや汚染の一部を酸化膜中に取り込んで基板から除去する。その後、窒化処理を行うことにより、酸化処理によってゲート電極5端部付近に形成され、ダメージを含む酸化膜に積極的に窒素を導入する。



1

【特許請求の範囲】

【請求項1】 半導体基板表面にチャネル領域およびソース・ドレイン領域を有し、該チャネル領域上にゲート絶縁膜を間に介してゲート電極を有する絶縁ゲート型電界効果トランジスタを備えた半導体装置の製造方法において、

該半導体基板上にゲート絶縁膜を形成する工程と、
該ゲート絶縁膜上に該ゲート電極形成用の膜を被着し、
ゲート電極パターンにパターンニングする工程と、
該ソース・ドレイン領域を形成する工程とを含み、
該ゲート電極パターンにパターンニングする工程の後であって、該ソース・ドレイン領域を形成する工程の前に、
窒素を含む雰囲気中で窒化処理を行って、ゲート電極端部付近のゲート絶縁膜中に窒素を導入する工程を含む半導体装置の製造方法。

【請求項2】 半導体基板表面にチャネル領域およびソース・ドレイン領域を有し、該チャネル領域上にゲート絶縁膜を間に介してゲート電極を有する絶縁ゲート型電界効果トランジスタを備えた半導体装置の製造方法において、

該半導体基板上にゲート絶縁膜を形成する工程と、
該ゲート絶縁膜上に該ゲート電極形成用の膜を被着し、
ゲート電極パターンにパターンニングする工程と、
該ソース・ドレイン領域を形成する工程とを含み、
該ゲート電極パターンにパターンニングする工程の後であって、該ソース・ドレイン領域を形成する工程の前に、
酸素を含む雰囲気中で酸化処理を行って、ゲート電極端部付近および基板表面に酸化膜を形成する工程と、
窒素を含む雰囲気中で窒化処理を行って、ゲート電極端部付近の該酸化膜中に窒素を導入する工程とを含む半導体装置の製造方法。

【請求項3】 前記窒化処理により窒素が導入された領域にフッ素を注入する工程を含む請求項1または請求項2に記載の半導体装置の製造方法。

【請求項4】 前記窒素を含む雰囲気中で窒化処理を行う工程において、窒素ラジカル、一酸化窒素、一酸化二窒素およびアンモニアのうちの少なくとも1つを含む雰囲気中で熱処理を行う請求項1乃至請求項3のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、絶縁ゲート型電界効果トランジスタを備えた半導体装置の製造方法に関し、さらに、動作特性が安定し、高い信頼性を有する半導体装置を容易に製造することができる半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、MOS (Metal Oxide Semiconductor) トランジスタを始めとする絶縁ゲート型電界効果トランジスタの微細化が益々

2

進行している。これに伴って、ゲート絶縁膜の膜厚が薄くなり、以下のように、ゲート電極中の不純物がゲート絶縁膜を突き抜けてチャネルに達する等の問題が生じている。

【0003】 微細化が進んで、ゲート長が例えば0.25 μm 程度のMOSトランジスタになると、N型MOSトランジスタの場合には高濃度N型ポリシリコンを用い、P型MOSトランジスタの場合には高濃度P型ポリシリコンを用いて、シリコン基板表面にチャネル領域を設けた表面チャネル型が用いられる。

【0004】 この表面チャネル型MOSトランジスタの製造においては、通常、シリコン基板表面にゲート絶縁膜（酸化シリコン膜）を形成し、その上に不純物を導入しないままポリシリコン膜を形成してゲート電極形状に加工する。その後、ゲート電極およびソース・ドレイン領域となるシリコン基板表面に、同時に不純物イオンを注入して、熱処理を加えることにより不純物領域の活性化を行うという方法が用いられる。

【0005】 このときの不純物としては、N型MOSトランジスタの場合にはリン、P型MOSトランジスタの場合にはボロンが用いられる。そして、P型MOSトランジスタにおいては、酸化シリコン膜中のボロンの拡散速度がリンのそれに比べて非常に大きいため、不純物活性化のための熱処理を行う際にゲート電極中のボロンがゲート絶縁膜を突き抜けてチャネル領域に拡散する。その結果、トランジスタの閾値電圧がばらつく等、トランジスタ特性に悪影響を与えてしまうという問題が生じる。

【0006】 この問題を解決するために、例えばIEDMTech. Dig. pp. 425-428, 1990やIEDMTech. Dig. pp. 429-432, 1990には、酸化シリコン膜中に窒素を導入することにより酸窒化シリコン膜を形成し、これをゲート絶縁膜として用いる方法が報告されている。この酸窒化シリコン膜中のボロンの拡散速度は、酸化シリコン膜中のそれに比べて小さいため、ゲート電極中のボロンがゲート絶縁膜を突き抜けてチャネル領域に拡散してしまうのを防ぐことができる。

【0007】 以下に、この酸窒化シリコン膜を用いたトランジスタの製造方法の一例について、図5(a)～図5(f)を参照しながら説明する。

【0008】 図5(a)に示すように、n型シリコン基板1上に周知の方法により素子分離膜としてのフィールド酸化膜2を形成し、素子領域のシリコン基板1にゲート絶縁膜3を5nm程度の厚みに形成する。このとき、一酸化窒素や一酸化二窒素等を用いることにより、酸化シリコン膜中、およびシリコン基板1と酸化シリコン膜の境界付近に窒素が取り込まれて、酸化シリコン膜に比べて不純物が拡散しにくい酸窒化シリコン膜からなるゲート絶縁膜3が形成される。その上に、例えばCVD

3

(Chemical Vapor Deposition) 法を用いてポリシリコン膜4を150nm程度の厚みに形成する。

【0009】次に、図5(b)に示すように、公知のエッチング技術、例えばカーボンやフッ素系ガスを含む異方性RIE(Riactive Ion Etching)を用いてポリシリコン膜をエッチングし、ゲート電極5を形成する。

【0010】次に、図5(c)に示すように、フッ酸を用いて表面に露出しているゲート絶縁膜(酸化シリコン膜)3を除去する。

【0011】次に、図5(d)に示すように、熱酸化法によりゲート電極5表面およびシリコン基板1表面全体に渡って酸化シリコン膜10を10nm程度の厚みに形成する。そして、加速エネルギー:10keV、ドーズ量: $1 \times 10^{13} / \text{cm}^2$ の条件でボロンをイオン注入し、LDD(Lightly Doped Drain)領域7を形成する。

【0012】次に、図5(e)に示すように、シリコン基板1全体にHTO膜(High Temperature Oxide:高温CVD酸化膜)を形成し、異方性エッチングを用いた周知のエッチング方法によりエッチバックすることによりゲート電極5側壁にサイドウォール8を形成する。そして、加速エネルギー:15keV、ドーズ量: $5 \times 10^{15} / \text{cm}^2$ の条件でボロンをイオン注入し、ソース・ドレイン領域9となる領域、およびゲート電極5中に不純物を導入する。

【0013】最後に、温度:850℃~900℃、時間10分~30分程度の条件で熱処理を行い、不純物注入領域の活性化を行って図5(f)に示すようなMOSトランジスタを作製する。

【0014】

【発明が解決しようとする課題】上述したように、ゲート絶縁膜として酸化シリコン膜を用いた場合、酸化膜を用いた場合に比べて、ゲート電極中の不純物、特にボロンがゲート絶縁膜を突き抜けてチャネル領域に拡散するのを抑制することができる。しかし、実際には、ゲート電極をプラズマエッチング等によりパターンニングする際に、シリコン基板、ゲート電極およびゲート絶縁膜にダメージが生じる。

【0015】このため、上述した従来例のように、ゲート電極5形成後、フッ酸を用いて表面に露出したゲート絶縁膜3を除去し、熱酸化法によって改めてゲート電極5およびシリコン基板1全体に渡って表面に酸化シリコン膜10を形成する方法が用いられている。この場合、フッ酸で処理するとき酸化膜は等方的にエッチングされるため、ゲート電極5端部ではゲート電極5とシリコン基板1に挟まれた部分のゲート絶縁膜(酸化シリコン膜)3も一部エッチングされる。その後、熱酸化法により改めて酸化シリコン膜10を形成すると、図6に示

4

すように、ゲート電極5端部付近においてゲート絶縁膜の一部が窒素を含まない酸化シリコン膜10aに置き換わってしまう。さらに、この酸化シリコン膜10aは、ゲート電極形成時のエッチングによって生じたダメージを含んだ膜となっている。

【0016】以上の理由により、ゲート電極5端部付近のシリコン酸化膜10aに置き換わった部分では、酸化シリコン膜に比べてボロンの拡散速度が大きくなり、トランジスタ閾値がばらついたり、サブスレッショルド係数がばらつく等のトランジスタ特性が悪化するという問題が生じる。特に、ゲート絶縁膜3の端に近い部分ではその膜厚が薄いため、影響が大きい。さらに、この酸化シリコン膜10aは、ゲート電極形成時のエッチングによって生じたダメージを含んでいるため、N型MOSトランジスタにおいても、ゲート電極中の不純物(リン、砒素等)の拡散速度が大きくなり、後の工程の熱処理時にゲート電極中の不純物がゲート絶縁膜を突き抜けてチャネル領域13に拡散し、トランジスタ特性が悪化することもある。

【0017】さらに、上記ダメージの影響によって、ソース・ドレイン領域9の不純物イオンが部分的にチャネル領域13方向に異常拡散して、部分的に短チャネル効果が悪化したり、サブスレッショルド係数がばらついて、トランジスタのオフ電流がばらつくという問題もある。

【0018】本発明は、このような従来技術の課題を解決すべくなされたものであり、ゲート電極中の不純物、特にボロンがゲート絶縁膜を突き抜けてチャネル領域に拡散するのを抑制し、さらに、ソース・ドレイン領域の不純物イオンが部分的にチャネル領域方向に異常拡散するのを防いで、安定したトランジスタ特性を実現することができる半導体装置の製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板表面にチャネル領域およびソース・ドレイン領域を有し、該チャネル領域上にゲート絶縁膜を間に介してゲート電極を有する絶縁ゲート型電界効果トランジスタを備えた半導体装置の製造方法において、該半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上に該ゲート電極形成用の膜を被着し、ゲート電極パターンにパターンニングする工程と、該ソース・ドレイン領域を形成する工程とを含み、該ゲート電極パターンにパターンニングする工程の後であって、該ソース・ドレイン領域を形成する工程の前に、窒素を含む雰囲気中で窒素処理を行って、ゲート電極端部付近のゲート絶縁膜中に窒素を導入する工程を含み、そのことにより上記目的が達成される。

【0020】本発明の半導体装置の製造方法は、半導体基板表面にチャネル領域およびソース・ドレイン領域を

5

有し、該チャネル領域上にゲート絶縁膜を間に介してゲート電極を有する絶縁ゲート型電界効果トランジスタを備えた半導体装置の製造方法において、該半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上に該ゲート電極形成用の膜を被着し、ゲート電極パターンにパターンニングする工程と、該ソース・ドレイン領域を形成する工程とを含み、該ゲート電極パターンにパターンニングする工程の後であって、該ソース・ドレイン領域を形成する工程の前に、酸素を含む雰囲気中で酸化処理を行って、ゲート電極端部付近および基板表面に酸化膜を形成する工程と、窒素を含む雰囲気中で窒化処理を行って、ゲート電極端部付近の該酸化膜中に窒素を導入する工程とを含み、そのことにより上記目的が達成される。

【0021】前記窒化処理により窒素が導入された領域にフッ素を注入する工程を含むのが好ましい。

【0022】前記窒素を含む雰囲気中で窒化処理を行う工程において、窒素ラジカル、一酸化窒素、一酸化二窒素およびアンモニアのうちの少なくとも1つを含む雰囲気中で熱処理を行うのが好ましい。

【0023】以下に、本発明の作用について説明する。

【0024】本発明にあつては、ゲート絶縁膜上にゲート電極形成用の膜を被着してゲート電極パターンにパターンニングした後、ソース・ドレイン領域を形成する前に、窒素を含む雰囲気中で窒化処理を行うことにより、ゲート電極端部付近のゲート絶縁膜中に新たに窒素を導入する。これにより、今後のゲート絶縁膜の更なる薄膜化（4nm以下）に対しても、ゲート電極からのボロンを始めとする不純物の突き抜けを抑制可能となる。よって、閾値電圧やサブスレッショルド係数がばらつかず、特性の安定したトランジスタを形成することが可能となる。さらに、窒素を導入することにより、ゲート電極両端部でのソース・ドレイン領域からの不純物の異常拡散も抑制される。よって、部分的に短チャネル効果が悪化したり、サブスレッショルド係数がばらついてトランジスタオフ電流がばらつくという問題も防ぐことが可能となる。

【0025】本発明にあつては、ゲート絶縁膜上にゲート電極形成用の膜を被着してゲート電極パターンにパターンニングした後、ソース・ドレイン領域を形成する前に、酸素を含む雰囲気中で酸化処理を行うことにより、ゲート電極パターンニング時に生じるダメージや汚染の一部を酸化膜中に取り込んで半導体基板から除去することができる。しかし、このとき、ゲート電極端部付近のゲート絶縁膜が、窒素を含まず、しかもダメージを含んだ酸化膜に置き代わってしまう。さらに、ゲート絶縁膜として、酸窒化膜等の窒素を含んだ膜を用いた場合、ゲート絶縁膜のダメージを含んだ酸化膜に置き代わった部分は窒素を含んでいないため、不純物拡散抑制効果が薄れてしまう。このため、ゲート電極からのボロンを始

6

めとする不純物の突き抜けが生じて、閾値電圧やサブスレッショルド係数がばらつく等のトランジスタ特性の悪化が起こる。そこで、本発明では、窒素を含む雰囲気中で窒化処理を行うことにより、その酸化膜中に積極的に窒素を導入することにより、不純物、特にボロンの突き抜けを抑制する。よって、閾値電圧やサブスレッショルド係数がばらつかず、特性の安定したトランジスタを形成することが可能となる。さらに、窒素を導入することにより、ゲート電極両端部でのソース・ドレイン領域からの不純物の異常拡散も抑制される。よって、部分的に短チャネル効果が悪化したり、サブスレッショルド係数がばらついてトランジスタオフ電流がばらつくという問題も防ぐことが可能となる。

【0026】ところで、アンモニア雰囲気中での熱処理により窒化処理を行う場合、窒素が導入されるだけではなく水素も導入されるが、この結合は非常に弱いため、容易に切断されてダングリングボンドが生じ、界面準位や電界トラップの原因となる。そこで、イオン注入等によりフッ素を導入することにより、ダングリングボンドを安定なフッ素で終端させることができ、トランジスタの信頼性が向上する。

【0027】窒素ラジカルやアンモニアを含む雰囲気中で窒化処理を行うと、より窒化能力が高く、ゲート電極からのボロンの突き抜けに対して効果が高い。また、一酸化窒素や一酸化二窒素を含む雰囲気中で窒化処理を行うと、窒化と同時に酸化も進行するので、より信頼性が向上する。この理由としては以下のようなことが考えられる。窒素の含有量の多い酸窒化膜は界面準位が多くなり、このような膜がゲート絶縁膜として用いられる場合、ホール（P型トランジスタのキャリア）の移動度が小さくなること、およびP型MOSトランジスタのトランスコンダクタンスが減少することが報告されている

（1990 Symposium on VLSI Technology pp. 131-132）。そして、酸化と窒化が同時に進行した場合、基板と酸窒化膜の界面付近で窒素濃度が高くなることなく、膜全体に渡って一様に窒素が分布するため、窒素を導入することによる界面準位の増加やキャリア移動度の低下を抑えることができる。なお、トランスコンダクタンス G_m とはドレイン電流 I_D をゲート電圧 V_G で偏微分した値（ $G_m = \partial I_D / \partial V_G$ ）であり、入力（ゲート電圧）に対する出力（ドレイン電流）の変化の割合を表す。

【0028】

【発明の実施の形態】以下に、本発明の実施形態について、図面を参照しながら説明する。なお、本発明は、以下の実施形態によって限定されるものではない。

【0029】（実施形態1）本実施形態では、ゲート電極のパターンニング後に、フッ酸を用いてソース・ドレインとなる領域のシリコン基板表面を露出させ、その後、窒化処理を行う例について、図1（a）～図1

(f)を参照しながら説明する。

【0030】図1(a)に示すように、n型シリコン基板1上に周知の方法により素子分離膜としてのフィールド酸化膜2を形成し、素子領域のシリコン基板1にゲート絶縁膜3を5nm程度の厚みに形成する。このとき、一酸化窒素や一酸化二窒素等を用いることにより、酸化シリコン膜中、およびシリコン基板1と酸化シリコン膜の境界付近に窒素が取り込まれて、酸化シリコン膜に比べて不純物が拡散しにくい酸化シリコン膜からなるゲート絶縁膜3が形成される。本実施形態では、一酸化二窒素雰囲気中で900℃で10分程度の酸化処理を行った後、酸素雰囲気中に切り替えて900℃で10分程度の酸化処理を行った。このように2回に分けて処理を行っている理由は以下の通りである。窒素の含有量の多い酸化シリコン膜は界面準位が多くなり、このような膜がゲート絶縁膜として用いられる場合、ホール(P型トランジスタのキャリア)の移動度が小さくなること、およびP型MOSTランジスタのトランスコンダクタンスが減少することが報告されている(1990 Symposium on VLSI Technology pp. 131-132)。本実施形態のように、シリコン基板を窒化(または酸化)した後に酸化を行うと、窒化膜と基板の界面付近から窒素が取り込まれるため、ゲート絶縁膜中の窒素濃度は、基板との界面付近ではなく、界面から離れた膜中にピークを持つようになる。従って、窒素を導入したことによる界面準位の増加やキャリア移動度の減少を抑えつつ、ボロンを始めとする不純物がゲート絶縁膜を突き抜けるのを抑制することができる。

【0031】この酸化シリコン膜中では、酸化シリコン膜中に比べて不純物が拡散しにくいいため、後の工程で熱処理を行う際に、ゲート電極5中に含まれるボロンがゲート絶縁膜3を突き抜けてチャネル領域13に拡散するのを抑制することができる。

【0032】また、今後のトランジスタの微細化に伴って、2nm~3nm程度の厚みのゲート絶縁膜に関しては、上記一酸化二窒素雰囲気中での窒化処理後に、アンモニア雰囲気中、800℃~950℃で10分~120分程度の条件で熱処理を行い、より積極的にシリコン基板1と酸化シリコン膜の境界付近に窒素を取り込むようにしてもよい。

【0033】なお、本発明者らの実験では、アンモニア雰囲気による積極的な窒化処理後のゲート絶縁膜に対してフッ素を導入することにより、ゲート絶縁膜の信頼性を向上させることに成功している。この理由としては、以下のようなことが考えられる。アンモニア雰囲気中で熱処理を行う場合、窒素が導入されるだけではなく、水素も導入されてしまうため、Si-H結合が形成される。この結合は非常に弱く、容易に切断されるため、界面準位または電荷トラップの原因となる。そこで、イオン注入等によりフッ素を導入すると、Si-H結合が切

断されて安定なSi-F結合となるため、ゲート絶縁膜の信頼性が向上する。

【0034】さらに、この窒化処理は、上記に限られず、窒素ラジカルや一酸化窒素を含む雰囲気中で熱処理を行ってもよい。

【0035】なお、ボロンを始めとする不純物のゲート絶縁膜突き抜けを抑制するためには、膜中の窒素濃度が重要である。よって、酸化の程度は、膜中の窒素濃度(原子数の濃度:atom%)を用いて定義することとする。ゲート絶縁膜中の窒素ピーク濃度は、高ければ高いほど不純物拡散抑制効果が大きくなるので好ましい。しかし、モモセらの報告(H. S. Momose et al., IEDM Tech. Dig. p. 65 1990)によれば、ゲート絶縁膜とシリコン基板の界面付近の窒素濃度が2atom%を超えると、急激にP型MOSTランジスタのトランスコンダクタンスが減少するため、ゲート絶縁膜とシリコン基板の界面付近の窒素濃度は2atom%以下であるのが好ましい。

【0036】次に、その上に、例えばCVD法を用いてポリシリコン膜4を150nm程度の厚みに形成する。

【0037】次に、図1(b)に示すように、周知の異方性エッチング技術を用いてポリシリコン膜をエッチングし、ゲート電極5を形成する。本実施形態では、誘導結合型プラズマ(ICP)エッチング装置を用いて、投入パワー:400W~600W、基板バイアスパワー:50W~200W、放電圧力:5mTorr~60mTorrの条件でエッチングを行った。エッチングガスとしてはHBr:130sccmおよびO₂:3sccmの混合ガスを用いた。なお、本実施形態ではエッチングの際にハロゲン含有ガスとしてHBrを用いたが、これに限られず、ポリシリコン膜のエッチングにはCl₂、ClF、ClF₃、BrF₃、BrF₅、IF₅、IF₇等のハロゲン化合物を用いてもよい。

【0038】なお、このとき、露出しているゲート絶縁膜部分3aおよびシリコン基板1表面、特に図1(b)中の円で囲んだ部分にダメージが発生すると共に、カーボンや臭素を始めとするハロゲン等による汚染が生じる。

【0039】次に、図1(c)に示すように、フッ酸を用いて、ゲート電極5の下部のゲート絶縁膜3を残して、表面に露出しているゲート絶縁膜(酸化シリコン膜)部分3aを除去する。このとき、ゲート電極5とシリコン基板1の間のゲート絶縁膜(酸化シリコン膜)も、ゲート電極端部付近の表面に露出する部分から一部オーバーエッチングされる。

【0040】次に、窒素を含む雰囲気中で窒化処理を行うことにより、図1(d)に示すように、ゲート電極5端部付近のゲート絶縁膜(酸化シリコン膜)3にさらに窒素が導入され、ボロン突き抜けの抑制効果を向上することができる。特に、今後、ゲート絶縁膜の薄膜化

(4 nm以下)され、ボロンを始めとする不純物がゲート絶縁膜を突き抜けやすい条件になった場合、非常に有効になると考えられる。なお、このとき、露出したシリコン基板1表面およびゲート電極5表面にも窒素が導入され、厚み20オングストローム程度の窒化シリコン膜12が形成される。後述するように窒化処理後に酸化処理を行う場合、酸化膜中に窒素が導入されるため、フッ素によってゲート膜がオーバーエッチングされたゲート電極端部付近(図6の10aに相当する部分)に酸窒化膜が導入され、この部分でボロンが突き抜けるのを防ぐことができる。本実施形態では、アンモニア雰囲気中、900℃で60分の熱窒化処理を行った。なお、この熱窒化処理は、800℃～950℃で10分～120分間行ってもよい。このときの酸窒化の程度(窒素濃度)の好ましい範囲は、ゲート電極中央部付近のゲート絶縁膜と同様である。

【0041】この窒化処理は、上記に限られず、アンモニア、窒素ラジカル、一酸化窒素および一酸化二窒素のうち、少なくとも1つを含む雰囲気中で熱処理を行ってもよい。アンモニアを含まない場合には、水素を導入することなく窒素を導入することができるので、さらに信頼性が向上する。特に、窒素ラジカルを含む雰囲気中では、高濃度の窒素を導入することができる。

【0042】また、窒化処理の後に酸化処理を行ってもよい。窒素の含有量の多い酸窒化膜は界面準位が多くなり、このような膜がゲート絶縁膜として用いられる場合、ホール(P型トランジスタのキャリア)の移動度が小さくなること、およびP型MOSトランジスタのトランスコンダクタンスが減少することが報告されている

(1990 Symposium on VLSI Technology, pp. 131-132)。窒化処理後に酸化を行った場合、窒化膜とシリコン基板の界面付近から酸素が取り込まれて酸化が進行し、窒素濃度のピークがシリコン基板との界面付近ではなく、界面から離れた膜中にある酸窒化膜が形成される(この酸窒化膜は窒化膜を形成した場所に形成される)。従って、シリコン基板と酸窒化膜との界面付近の窒素濃度は小さくなるため、界面準位が減少し、トランスコンダクタンスが増加すると共に、ゲート絶縁膜の信頼性が向上する。酸化処理によって界面準位が減少し、トランジスタのトランスコンダクタンスが増大すると共に、ゲート絶縁膜の信頼性が向上する。

【0043】さらに、上記窒化処理の後に、または窒化処理後の酸化処理の後に、フッ素イオン注入を行ってもよい。このフッ素イオンは、窒化された部分全体に行う。この場合、さらなるトランジスタのトランスコンダクタンスの増大、およびゲート絶縁膜の信頼性向上を図ることができる。なお、フッ素注入は、例えば加速エネルギー:10keV～15keV、ドーズ量:5×10¹³/cm²～5×10¹⁵/cm²程度の条件で行えばよ

い。

【0044】また、フッ素注入はポリシリコン膜形成後に行うこともできる。この場合、後の工程で熱処理を行う際にフッ素がゲート絶縁膜付近まで熱拡散し、ゲート絶縁膜付近のダングリングボンドをフッ素で終端させることができる。さらに、フッ素注入を行う前に酸化シリコン膜、HTO膜等の絶縁膜を形成し、これを注入マスクとしてフッ素を注入してもよい。

【0045】次に、ゲート電極5をマスクとして、加速エネルギー:5keV～10keV、ドーズ量:1×10¹²/cm²～5×10¹⁴/cm²程度の条件でボロンをイオン注入し、LDD領域7を形成する。なお、このLDD形成のためのイオン注入条件はトランジスタの設計により異なるものであり、本条件に限定されるものではない。

【0046】次に、図1(e)に示すように、シリコン基板1全体にHTO膜を形成し、周知のエッチング方法によりエッチバックすることによりゲート電極5側壁にサイドウォール8を形成する。

【0047】そして、ゲート電極5およびサイドウォール8をマスクとして、加速エネルギー:5keV～25keV、ドーズ量:5×10¹⁴/cm²～5×10¹⁶/cm²の条件でボロンをイオン注入し、ソース・ドレイン領域9となる領域、およびゲート電極5中に不純物を導入する。これにより、ゲート電極5下部の不純物が導入されなかった領域がチャネル領域13となる。なお、このイオン注入条件もトランジスタの設計により異なるものであり、本条件に限定されるものではない。

【0048】最後に、温度:850℃～900℃、時間10分～30分程度の条件で熱処理を行い、不純物注入領域の活性化を行って図1(f)に示すようなMOSトランジスタを作製する。このとき、ゲート絶縁膜3は全ての部分において酸化シリコン膜に比べてボロンの拡散速度の小さい酸窒化シリコン膜となっているので、ゲート電極5中のボロンがゲート絶縁膜3を突き抜けてチャネル領域13に拡散することではなく、良好な特性を有するトランジスタを作製することができる。

【0049】さらに、ゲート電極5両端部付近のゲート酸化膜とシリコン基板界面に窒素を積極的に導入するため、ゲート電極5両端部においてソース・ドレイン領域9からチャネル領域13への不純物の異常拡散を抑制することができ、短チャネル効果の悪化や、ソース・ドレイン領域間の部分的な電流リークによるサブスレッショルド係数のばらつき等によって、トランジスタオフ電流がばらつくのを防ぐことができる。

【0050】なお、本実施形態の製造方法は、従来の製造方法に比べて、ゲート電極パターンニング後に熱窒化処理工程を追加するのみであり、信頼性の高い半導体装置を非常に容易に製造することができる。

【0051】また、本実施形態では、ゲート電極パター

ンニング後、フッ酸処理を経て酸化せずに直接窒化している。窒化速度は酸化速度に比べて遅いため、酸化した場合のような図2に示すゲート電極5両端でのバースピーク11が生じず、実効ゲート絶縁膜厚が厚くなるという問題が生じない。この問題は、ゲート絶縁膜がより薄膜化し、ゲート長がより短くなると顕著になるため、本実施形態の製造方法がより有効になる。

【0052】さらに、本実施形態では、ゲート電極エッジ部から直接窒素をゲート絶縁膜とシリコン基板の界面に導入することができ、ゲート絶縁膜のボロン突き抜け防止に対して、さらなる効果がある。また、窒化処理後にフッ素を導入することにより、ダングリングボンドを安定なフッ素で終端させることができ、さらに信頼性を向上することができる。

【0053】（実施形態2）本実施形態では、ゲート電極のパターンニング後に酸化処理を行い、その後、窒化処理を行う例について、図3（a）～図3（f）を参照しながら説明する。

【0054】図3（a）に示すように、n型シリコン基板1上に周知の方法により素子分離膜としてのフィールド酸化膜2を形成し、素子領域のシリコン基板1にゲート絶縁膜3を5nm程度の厚みに形成する。この工程は、実施形態1において図1（a）に示した工程と同様に行うことができる。本実施形態では、一酸化二窒素雰囲気中で900℃で10分程度の酸化処理を行った後、酸素雰囲気中に切り替えて900℃で10分程度の酸化処理を行った。この窒化処理は、上記に限られず、アンモニアや窒素ラジカルや一酸化窒素を含む雰囲気中で熱処理を行ってもよい。

【0055】次に、その上に、例えばCVD法を用いてポリシリコン膜4を150nm程度の厚みに形成する。

【0056】次に、図3（b）に示すように、周知の異方性エッチング技術を用いてポリシリコン膜をエッチングし、ゲート電極5を形成する。この工程は、実施形態1において図1（b）に示した工程と同様に行うことができる。本実施形態では、誘導結合型プラズマ（ICP）エッチング装置を用いて、投入パワー：400W～600W、基板バイアスパワー：50W～200W、放電圧力：5mTorr～60mTorrの条件でエッチングを行った。エッチングガスとしてはHBr：130sccmおよびO₂：3sccmの混合ガスを用いた。このエッチングの際のハロゲン含有ガスとしては、HBrに限られず、ポリシリコン膜のエッチングにはCl₂、ClF、ClF₃、BrF₃、BrF₅、IF₅、IF₇等のハロゲン化合物を用いてもよい。

【0057】なお、このとき、露出しているゲート絶縁膜部分3aおよびシリコン基板1表面、特に図3（b）中の円で囲んだ部分にダメージが発生すると共に、カーボンや臭素を始めとするハロゲン等による汚染が生じる。

【0058】次に、図3（c）に示すように、フッ酸を用いて、ゲート電極5の下部のゲート絶縁膜3を残して、表面に露出しているゲート絶縁膜（酸化シリコン膜）部分3aを除去する。この工程は、実施形態1において図1（c）に示した工程と同様に行うことができる。このとき、ゲート電極5とシリコン基板1の間のゲート絶縁膜（酸化シリコン膜）も、ゲート電極端部付近の表面に露出する部分から一部オーバーエッチングされる。

【0059】次に、熱酸化法によりゲート電極5表面およびシリコン基板1表面全体に渡って酸化シリコン膜を10nm程度の厚みに形成する。これにより、図3（b）に示したゲート電極のパターンニングの際に発生したシリコン基板1表面のダメージおよび汚染の一部を酸化シリコン膜中に取り込んで、そのダメージや汚染の一部をシリコン基板1から除去することができる。

【0060】しかし、この酸化によって、図3（c）に示したフッ酸処理によってゲート絶縁膜3がオーバーエッチングされたゲート電極端部付近にも酸化シリコン膜が形成される。その結果、図6に示したように、ゲート電極5端部付近において、ゲート電極5とシリコン基板1との間に窒素を含まない酸化シリコン膜からなる部分10aが形成される。このため、後の工程において熱処理を行う際に、この部分からゲート電極5中のボロンが突き抜けてチャネル領域13に拡散しやすくなる。特に、ゲート絶縁膜3の端に近い部分ではその膜厚が薄いため、影響が大きい。さらに、この酸化シリコン膜10aは、ゲート電極形成時のエッチングによって生じたダメージを含んだ膜となっているため、通常の酸化シリコン膜よりもボロンが突き抜けやすくなっている。

【0061】これを防ぐため、窒素を含む雰囲気中で窒化処理を行って、酸化シリコン膜とシリコン基板1の界面付近に積極的に窒素を導入し、図3（d）に示すように、酸化シリコン膜を、ボロンが拡散しにくい酸化窒化膜6とする。本実施形態では、アンモニア雰囲気中、900℃で60分の熱窒化処理を行った。なお、この熱窒化処理は、800℃～950℃で10分～120分間行ってもよい。

【0062】この窒化処理は、上記に限られず、アンモニア、窒素ラジカル、一酸化窒素および一酸化二窒素のうち、少なくとも1つを含む雰囲気中で熱処理を行ってもよい。アンモニアを含まない場合には、水素を導入することなく窒素を導入することができるので、さらに信頼性が向上する。特に、窒素ラジカルを含む雰囲気中では、高濃度の窒素を導入することができる。

【0063】この場合、窒素は酸化シリコン膜表面から酸化シリコン膜とシリコン基板の界面、および酸化シリコン膜とゲート電極との界面まで熱拡散し、これら界面付近で窒化反応が起こる。従って、図6に示した酸化シリコン膜10は窒化されて窒素濃度のピークがシリコン

13

基板との界面付近にある酸化シリコン膜となり、酸化シリコン膜10aはシリコン基板との界面付近およびゲート電極との界面付近に窒素濃度のピークを持つ酸化シリコン膜となる。すなわち、窒化は酸化膜とシリコンとの界面付近全体に渡って起こる。このときの酸化シリコン膜の好ましい範囲は、ゲート電極中央部付近のゲート絶縁膜と同様である。

【0064】なお、酸化シリコン膜は、その厚みが厚くなるほど窒化されにくくなって窒化処理時間が長くなり、薄くなるほど窒化されやすいが基板のダメージを取り込みにくくなる。また、ゲート絶縁膜中の不純物（本実施形態ではボロン）がゲート絶縁膜を突き抜けてチャネルに拡散したり、閾値やサブスレッショルド係数がばらつく等のトランジスタ特性が悪化したりするのを、熱窒化によって酸化シリコン膜中に窒素を導入することにより抑制するためには、酸化シリコン膜の膜厚を5nm～30nm程度にするのが好ましい。さらに、ゲート絶縁膜3が本実施形態よりも薄膜化されている場合には、24の円内に示すように酸化処理によるゲート電極5両端にバースピーク11が生じるのを抑制するために、酸化シリコン膜10の膜厚がゲート絶縁膜3の膜厚程度からゲート絶縁膜3の膜厚の6倍程度になるように形成するのが好ましい、さらに好ましくは、ゲート絶縁膜3の膜厚の2倍程度から4倍程度である。

【0065】さらに、上記窒化処理の後に、酸化シリコン膜6中にフッ素を導入してもよい。例えば、アンモニア雰囲気中で熱処理を行う場合、窒素が導入されるだけでなく、水素も導入されてしまうため、Si-H結合が形成される。この結合は非常に弱く、容易に切断されるため、界面準位または電荷トラップの原因となる。そこで、イオン注入等によりフッ素を導入すると、Si-H結合が切断されて安定なSi-F結合となるため、ゲート絶縁膜の信頼性が向上する。

【0066】次に、ゲート電極5をマスクとして、加速エネルギー：5keV～10keV、ドーズ量： $1 \times 10^{12}/\text{cm}^2 \sim 1 \times 10^{14}/\text{cm}^2$ 程度の条件でボロンをイオン注入し、LDD領域7を形成する。なお、このLDD形成のためのイオン注入条件はトランジスタの設計により異なるものであり、本条件に限定されるものではない。

【0067】次に、図3(e)に示すように、シリコン基板1全体にHTO膜を形成し、周知のエッチング方法によりエッチバックすることによりゲート電極5側壁にサイドウォール8を形成する。

【0068】そして、ゲート電極5およびサイドウォール8をマスクとして、加速エネルギー：5keV～25keV、ドーズ量： $5 \times 10^{14}/\text{cm}^2 \sim 5 \times 10^{16}/\text{cm}^2$ の条件でボロンをイオン注入し、ソース・ドレイン領域9となる領域、およびゲート電極5中に不純物を導入する。これにより、ゲート電極5下部の不純物が導

14

入されなかった領域がチャネル領域13となる。なお、このイオン注入条件もトランジスタの設計により異なるものであり、本条件に限定されるものではない。

【0069】最後に、温度：850℃～900℃、時間10分～30分程度の条件で熱処理を行い、不純物注入領域の活性化を行って図3(f)に示すようなMOSトランジスタを作製する。このとき、ゲート絶縁膜3は全ての部分において酸化シリコン膜に比べてボロンの拡散速度の小さい酸化シリコン膜となっているので、ゲート電極5中のボロンがゲート絶縁膜3を突き抜けてチャネル領域13に拡散することはなく、良好な特性を有するトランジスタを作製することができる。

【0070】さらに、ゲート電極5両端部付近のゲート酸化膜とシリコン基板界面に窒素を積極的に導入するため、ゲート電極5両端部においてソース・ドレイン領域9からチャネル領域13への不純物の異常拡散を抑制することができ、短チャネル効果の悪化や、ソース・ドレイン領域間の部分的な電流リークによるサブスレッショルド係数のばらつき等によって、トランジスタオフ電流がばらつくのを防ぐことができる。

【0071】図4(a)に本実施形態で作製したP型MOSトランジスタのサブスレッショルド係数のばらつきを示し、図4(b)に従来技術を用いて作製したP型MOSトランジスタのサブスレッショルド係数のばらつきを示す。これらの図から明らかなように、サブスレッショルド係数のばらつきは、従来技術を用いて作製したものに比べて本実施形態で作製したトランジスタの方が非常に少なく、より信頼性の高いトランジスタが得られている。さらに、本実施形態の製造方法は、従来の製造方法に比べて、ゲート電極パターンニング後に熱窒化処理工程を追加するのみであり、信頼性の高い半導体装置を非常に容易に製造することができる。

【0072】上記実施形態1および実施形態2では、P型MOSトランジスタの製造について説明したが、N型MOSトランジスタについても同様の方法により作製することができる。この場合、n型単結晶シリコン基板の代わりにp型単結晶シリコン基板を用い、ホウ素の代わりにリンまたは砒素を用いればよい。但し、N型MOSトランジスタの場合には、ゲート絶縁膜が3nm以上の厚い膜の場合、不純物（リンや砒素等）の突き抜けは起こりにくく、本発明の効果が顕在化しにくい。しかし、今後、ゲート絶縁膜が薄膜化され、3nm以下になると不純物の突き抜けが起こりやすくなるため、本発明の効果が顕著に表れるようになってくる。

【0073】さらに、上記実施形態1および実施形態2では、LDD構造を有するMOSトランジスタの製造方法について説明したが、本発明は必ずしもLDD構造を有するMOSトランジスタに限られず、例えばシングルドレイン構造のMOSトランジスタや積み上げ拡散層を有するMOSトランジスタ等、MOS構造を有するもの

15

であれば何れも適用可能である。但し、ここで言うMOS構造とは、金属-酸化物-半導体という構造に限らず、導電体-絶縁体-半導体という構造も含むものとする。

【0074】また、上記実施形態1および実施形態2では、ゲート絶縁膜として酸化シリコン膜を用いた例について説明したが、これに限るものではない。

【0075】

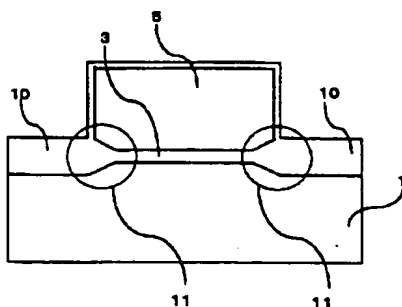
【発明の効果】以上詳述したように、本発明によれば、ゲート絶縁膜上にゲート電極形成用の膜を被着してゲート電極パターンにパターンニングした後、ソース・ドレイン領域を形成する前に、窒素ラジカル、一酸化窒素、一酸化二窒素やアンモニア等、窒素を含む雰囲気中で酸化処理を行うことにより、ゲート電極端部付近のゲート絶縁膜中に窒素を導入する。

【0076】或いは、ゲート絶縁膜上にゲート電極形成用の膜を被着してゲート電極パターンにパターンニングした後、ソース・ドレイン領域を形成する前に、酸素を含む雰囲気中で酸化処理を行うことによりゲート電極およびシリコン基板全体にわたって酸化シリコン膜を形成した後、窒素ラジカル、一酸化窒素、一酸化二窒素やアンモニア等、窒素を含む雰囲気中で酸化処理を行うことにより、酸化の際にゲート電極端部付近に形成される窒素を含まない酸化シリコン膜に窒素を導入する。

【0077】これらによって、後の工程で熱処理を行う際にゲート電極中の不純物がゲート絶縁膜を突き抜けてチャネル領域に拡散するのを防ぐことができ、さらに、ソース・ドレイン領域からチャネル領域への不純物の異常拡散を抑制することができる。その結果、閾値電圧やサブスレッショルド係数のばらつき等のトランジスタ特性の悪化や、オフ電流の増加等を防ぐことができ、動作特性の均一性が良く、安定し、高い信頼性を有する半導体装置を容易に製造することができる。

【0078】さらに、回路設計においては、ばらつきに *

【図2】



16

*対する最悪のトランジスタ性能を見込んで設計を行い、歩留りを向上させているが、本発明によればトランジスタ特性のばらつきを抑制することが可能であるため、回路設計時に良好なトランジスタ性能を見込んで設計することができる。よって、LSIとしての性能を大幅に向上させることができる。

【図面の簡単な説明】

【図1】実施形態1におけるMOSトランジスタの製造工程を説明するための断面図である。

10 【図2】酸化処理を行った場合にゲート電極両端に生じるバースピークを説明するための断面図である。

【図3】実施形態2におけるMOSトランジスタの製造工程を説明するための断面図である。

【図4】実施形態2および従来技術により作製したMOSトランジスタのサブスレッショルド特性のばらつきを示す図である。

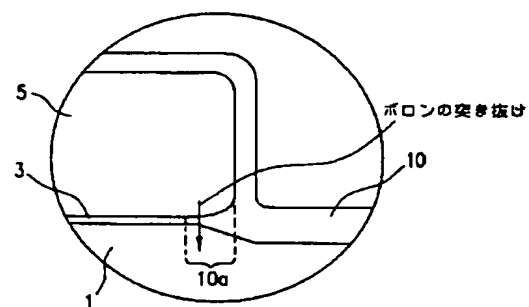
【図5】従来のMOSトランジスタの製造工程を説明するための断面図である。

20 【図6】従来のMOSトランジスタの製造方法における問題点を説明するための拡大断面図である。

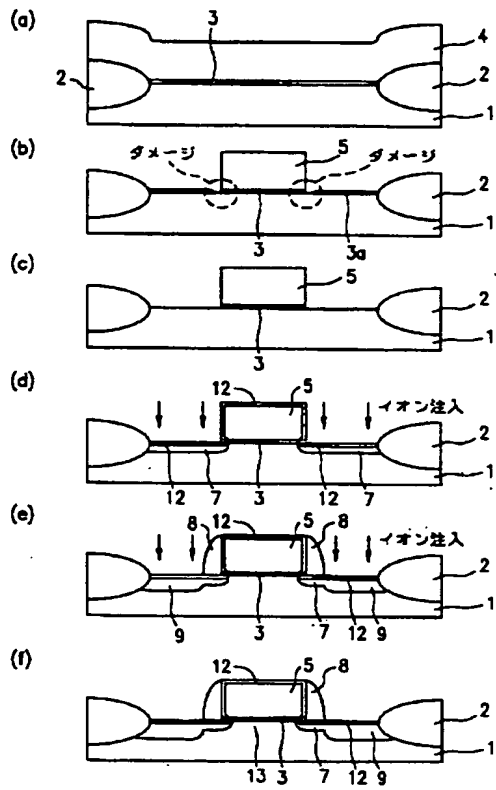
【符号の説明】

- 1 n型シリコン基板
- 2 フィールド酸化膜（素子分離膜）
- 3 ゲート絶縁膜（酸化シリコン膜）
- 4 ポリシリコン膜
- 5 ゲート電極
- 6 酸化シリコン膜
- 7 LDD領域
- 8 サイドウォール
- 9 ソース・ドレイン領域
- 30 10 酸化シリコン膜
- 11 バースピーク
- 12 窒化シリコン膜

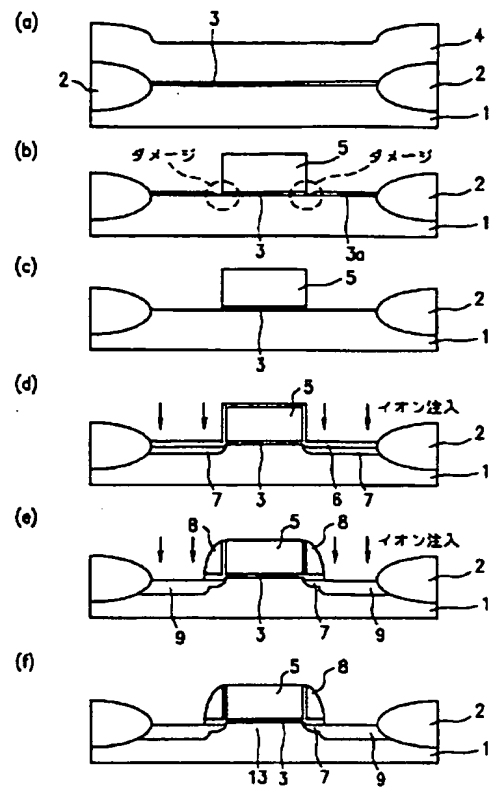
【図6】



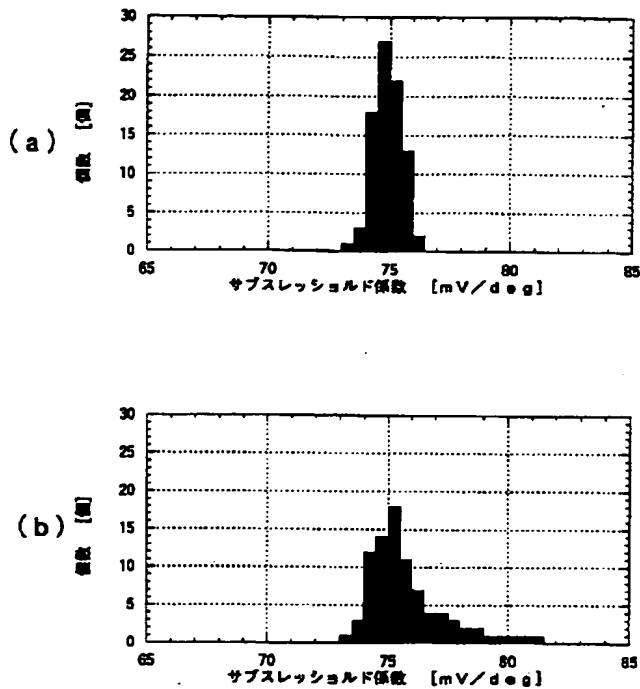
【図1】



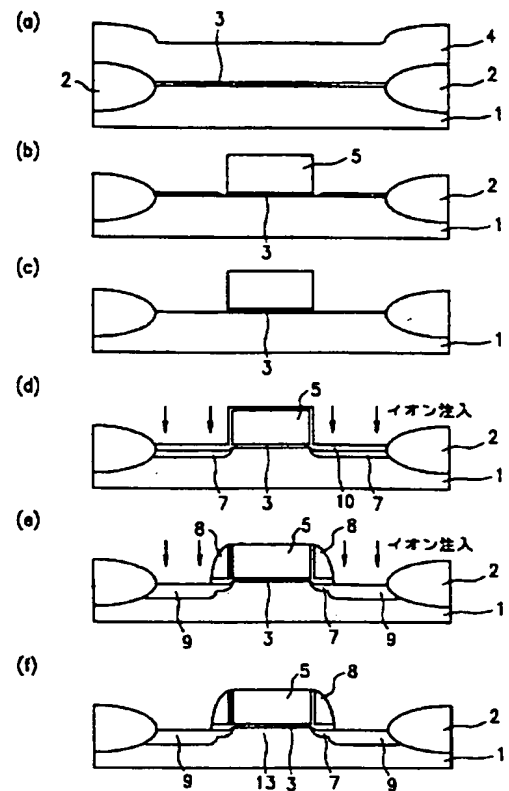
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 柴田 晃秀
大阪府大阪市阿倍野区长池町22番22号 シ
ャープ株式会社内

(72)発明者 諸沢 成浩
大阪府大阪市阿倍野区长池町22番22号 シ
ャープ株式会社内

(72)発明者 森下 敏
大阪府大阪市阿倍野区长池町22番22号 シ
ャープ株式会社内

(72)発明者 柿本 誠三
大阪府大阪市阿倍野区长池町22番22号 シ
ャープ株式会社内

Fターム(参考) 5F040 DA06 DC01 EC07 ED03 ED04
ED06 ED07 ED09 EF02 EK01
FA03 FA04 FA05 FA07 FA10
FA11 FB02 FB04 FC15
5F058 BA05 BC02 BC11 BF62 BF64
BF68 BJ01